

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-065585

(43)Date of publication of application : 07.03.1997

(51)Int.Cl.

H02J 9/06  
H04N 1/00

(21)Application number : 07-219982

(71)Applicant : RICOH CO LTD

(22)Date of filing : 29.08.1995

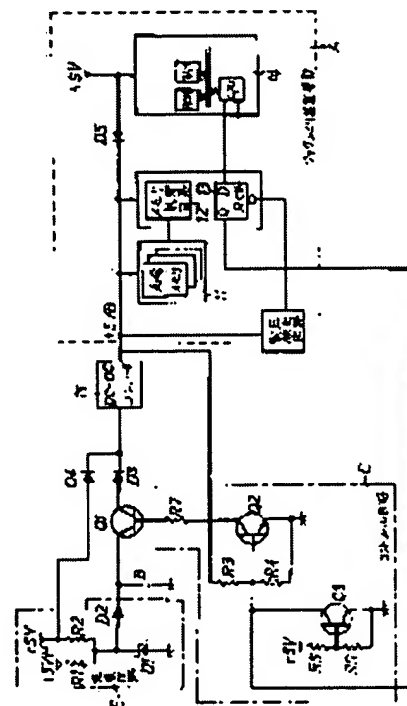
(72)Inventor : UKEGAWA TAKESHI

## (54) BATTERY BACKUP POWER SUPPLY CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To make it possible to back up by a single cell back-up battery by supplying an input from a DC/DC converter through a diode from a voltage higher than, the ordinary one during power ON, and by supplying from a battery through a diode during back-up and power-OFF.

**SOLUTION:** A power supply for a back-up memory 11 and its control circuit 12 is generated by a DC/DC converter 15, and the input of the DC/DC converter 15 is switched between ordinary operation and the back-up operation in configuration. That is, the input of the DC/DC converter 15 is supplied from an ordinary +45V through a diode D4 during power-ON and is supplied from a battery B through a diode D3 during back-up of power-OFF. By doing this, the battery voltage can be made lower than the operation voltage of memory, so that the back-up can be performed by a single cell back-up battery.



## LEGAL STATUS

[Date of request for examination] 10.04.2001

[Date of sending the examiner's decision of rejection] 20.02.2004

[Kind of final disposal of application other than

the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-65585

(43)公開日 平成9年(1997)3月7日

(51)Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 2 J 9/06	5 0 2		H 0 2 J 9/06	5 0 2 Z
H 0 4 N 1/00			H 0 4 N 1/00	C

審査請求 未請求 請求項の数4 O L (全 6 頁)

(21)出願番号 特願平7-219982

(22)出願日 平成7年(1995)8月29日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 受川 猛

東京都大田区中馬込1丁目3番6号 株式

会社リコー内

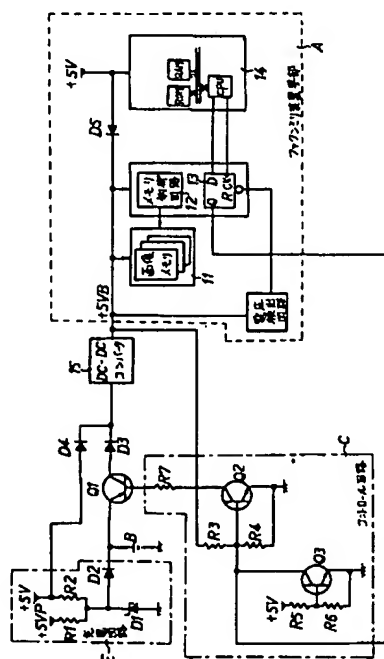
(74)代理人 弁理士 磯村 雅俊 (外1名)

(54)【発明の名称】 バッテリーバックアップ電源回路

(57)【要約】

【課題】 単セルのバックアップ電池でのバックアップを可能とするバッテリーバックアップ電源回路、電池の完全放電を防止可能とするバッテリーバックアップ電源回路、および、パワーダウンモードを考慮したバッテリーバックアップ電源回路を提供すること。

【解決手段】 バックアップメモリおよびその制御回路の電源をDC-DCコンバータにより発生させ、該DC-DCコンバータの入力を、通常動作時とバックアップ時とで切り替える構成、バッテリーによるバックアップを誤動作しにくい制御回路で制御する構成、また、バッテリーの充電をパワーダウンモード用電源と通常電源と並列に行う構成。



(2)

特開平9

1

## 【特許請求の範囲】

【請求項1】 電源オフ時にバッテリーによりバックアップされるメモリおよび該メモリ(バックアップメモリ)の制御回路に電源を供給するバッテリーバックアップ電源回路において、前記バックアップメモリおよびその制御回路の電源をDC-DCコンバータにより発生させる如く構成し、前記DC-DCコンバータの入力を、電源オン時には通常の+5Vからダイオードを通して供給し、電源オフのバックアップ時には、バッテリーからダイオードを通して供給することを特徴とするバッテリーバックアップ電源回路。

【請求項2】 前記バックアップメモリおよびその制御回路の電源側をカソードに、通常の+5V側をアノードにしてダイオードで接続することを特徴とする請求項1記載のバッテリーバックアップ電源回路。

【請求項3】 電源オフ時にバッテリーによりバックアップされるメモリおよびその制御回路に電源を供給し、そのバッテリー供給の有無をCMOSゲートによりトランジスタをオンオフすることにより制御するバッテリーバックアップ電源回路において、前記トランジスタのオン/オフの動作電圧を、前記CMOSゲートの動作保証電圧以上、メモリの動作保証電圧以下に設定することを特徴とするバッテリーバックアップ電源回路。

【請求項4】 機器のシステムの+5V電源が、パワーダウンモード用と通常動作用とに分断しており、パワーダウンモード時には、通常動作用+5Vの供給を停止してパワーダウンモード用+5Vのみを供給するシステムにおける2次バッテリーのバッテリーバックアップ電源回路において、前記2次バッテリーの充電を、通常動作用+5Vとパワーダウンモード用+5Vから並列に行うことを特徴とするバッテリーバックアップ電源回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、バッテリーバックアップ電源回路(以下、単に「バックアップ電源回路」という)に関し、特にファクシミリ装置の画像メモリ(いわゆるSAFメモリ)等のバックアップに好適な、バックアップ電源回路に関する。

## 【0002】

【従来の技術】従来、ファクシミリ装置の画像メモリの

2

バックアップ電池の電圧値を監視し、バックアップメモリに供給されている電圧値が所定値と、バックアップ電池による画像メモリを停止することにより、バックアップ電池防止し、バックアップ電池の転極等の故防止して、バックアップ電池の寿命を長に、バックアップ電池の信頼性を向上させる特徴とするものである。

## 【0003】

【発明が解決しようとする課題】上記従来は、以下に述べる如き問題がある。まず、においては、電源を、通常動作時には電源回路から、また、バックアップ時にはダイオードを介して直接供給しているが、2次電池を+5V程度にする必要がある。の単セルは、例えばリチウム電池で3V。従来技術に示される方式では、バックアップで単セルのものが使用できない。また、においては、ラッチのQ出力を、電池供給コントロールに使用しているが、バックアップを検出してスイッチをオフする方式では、電圧はコンデンサの充電分があるため徐々に徐々に低下していくため、ある電圧が動作してスイッチをオフしているが、保証されない電圧になると、スイッチを発生する。このため、本来は電池供給をしないのに電池供給が継続され、電池になってしまうという問題がある。更に、近において省エネルギーが要求されていることにおいて+5V電源が、パワーダウンと、パワーダウンモードではオフされる+5Vとに分かれている場合がある。上記のような構成を考慮しておらず、パワーを備えた装置に対処することができない。明の第1の目的は、単セルのバックアップを可能とするバッテリーバックアップを提供することにある。また、本発明の電池の完全放電を防止可能とするバックアップ電源回路を提供することにある。更に、の目的は、パワーダウンモードを考慮し、

(3)

特開平9

3

クアップ時には、バッテリーからダイオードを通して供給することを特徴とするバッテリーバックアップ電源回路、電源オフ時にバッテリーによりバックアップされるメモリおよびその制御回路に電源を供給し、そのバッテリー供給の有無をCMOSゲートによりトランジスタをオンオフすることにより制御するバッテリーバックアップ電源回路において、前記トランジスタのオン/オフの動作電圧を、前記CMOSゲートの動作保証電圧以上、メモリの動作保証電圧以下に設定することを特徴とするバッテリーバックアップ電源回路、もしくは機器のシステムの+5V電源が、パワーダウンモード用と通常動作用とに分離しており、パワーダウンモード時には、通常動作用+5Vの供給を停止してパワーダウンモード用+5Vのみを供給するシステムにおける2次バッテリーのバッテリーバックアップ電源回路において、前記2次バッテリーの充電を、通常動作用+5Vとパワーダウンモード用+5Vから並列に行うことを特徴とするバッテリーバックアップ電源回路によって達成される。

【0005】

【発明の実施の形態】本発明に係る第1のバックアップ電源回路においては、バックアップメモリおよびその制御回路の電源をDC-DCコンバータにより発生させ、そのDC-DCコンバータの入力を、通常動作時とバックアップ時とで切り替えるように構成したことにより、電池電圧をメモリの動作電圧より低くできるので、単セルのバックアップ電池でのバックアップを可能とするバッテリーバックアップ電源回路を実現することができる。本発明に係る第2のバックアップ電源回路においては、DFFの動作保証電圧以下でのスイッチ制御をオフするように構成したので、誤動作によるバッテリーの放電を防止し、電池の完全放電を防止可能とするバッテリーバックアップ電源回路を実現することができる。本発明に係る第3のバックアップ電源回路においては、バッテリーの充電を、通常動作用+5Vとパワーダウンモード用+5Vとで並列に行うように構成したことにより、パワーダウンモードを考慮したバッテリーバックアップ電源回路を実現することができる。以下、本発明の実施の形態を図面に基づいてより詳細に説明する。

【0006】図1は、本発明の一実施形態を示すバックアップ電源回路を示す図であり、本発明をファクシミリ

4

電池1セル(3V)であり、充電電圧は3V【0007】上述のバックアップ電源の回路Cは、2つのトランジスタQ2、Q3、Q3～R6で構成されており、後述する如く時にバッテリーBの出力をオンオフするトランジスタQ1を制御する機能をする。上述のバッテリーBの充電回路Eは、5Vオン時およびパワーダウンモード用に、バッテリーBの充電を、通常動作用パワーダウンモード用+5Vから並列に行うものである。なお、15はDC-DCコリ、出力は+5Vで一定である。

【0008】なお、図1中の+5V電源の+5V電源であり、電源オフ時、パワーダウンモード用の+5V電源であり、電源オフ時のみ供給が停止される電源で、電源はバックアップ領域に供給される+5V電源である。その他の構成については、その都度、説明する。以下、本実施の動作を説明する。

【0009】通常動作時、つまり、通常は、+5VがダイオードD4を介してデータ15に入力し、画像メモリ等の供給発生させる。これにより、バックアップ領域の+5Vとは独立した電源となっていくアップ動作について説明する。画像メモリが蓄積されると、前述の如く、DFFれる。ここでは、DFF13がセットされ、電源オフ時に画像メモリがバックアップ

【0010】上述のバックアップは、トランジスタQ1をオンすることにより可能トランジスタQ1のオンオフは、トランリコントロールされており、トランジスタときバックアップを行い、オフのときにはしない。なお、トランジスタQ2がオトランジスタQ3に加わる電圧が+5V、比で分圧した電圧以下のときで、かつ、ットされていることである。

(4)

特開平9

5

この場合も、バッテリーBによるバックアップの必要性がない。DFF13がセットされないで電源がオフされると、トランジスタQ2、Q1がオフとなり、バッテリーの供給がなく、すべての回路が停止している(図2参照)。

③：電源オフでバックアップ要の場合

DFF13がセットされた状態で電源がオフされると、DFF13によりトランジスタQ2がオンし、Q1もオンしている。よって、電源がオフしても、バッテリーの供給があり、+5VBに電圧が発生し、画像メモリおよび制御回路が継続して動作する(図3参照)。

【0013】④：電源オフでバックアップ要の場合で、バッテリー消耗によるバックアップ停止の場合

バッテリーBによりバックアップされた状態で長時間が経過すると、バッテリーBの消耗によりバッテリー電圧が低下して行き、それに伴い+5VBの電圧も低下する。この+5VBの電圧低下を電圧検出回路16によりチェックし、これが決められた電圧以下になった場合には、電圧検出回路16の出力によりDFF13をリセットする。DFF13がリセットされるとトランジスタQ2がオフとなり、その結果、トランジスタQ1がオフとなってバッテリーBからの電源の供給が停止し、バックアップが終了する。

【0014】⑤：その他

上記動作の中で、DFF13によるトランジスタQ2の制御に関しては、次のような配慮が必要である。すなわち、DFF13は低消費電力を目的としてCMOSを使用しており、DFF13がオフの状態で+5VB電源が徐々に低下してゆくと、その電圧がCMOSの動作可能領域ではトランジスタQ2の制御には問題がないが、電圧がCMOSの動作可能領域以下になると、DFF13の出力が保証されなくなり、本来トランジスタQ2の制御信号がLレベルであるべきところが、その領域でHレベルになる可能性がある。

【0015】このような状態になると、本来、オフであるべきトランジスタQ2、同Q1がオンになってしまい、不要なバッテリーの消費が発生することは前述の通りである。この問題に対しては、トランジスタQ2の動作電圧をCMOSのDFF13の動作保証電圧以上、メモリの動作保証電圧以下に設定することにより、このよ

6

を破壊する可能性があるため、図1に示D5により、大きな電位差の発生を防ぐ。の、+5Vと+5VPとの間の電位差の図4に示す。なお、この記述は請求項21る。

【0017】また、省エネルギーのため、モードを備えた機器においては、パワーのみ有効となる電源+5VPを有し、パド時には、他の電源(+5Vと、5VB)のようなシステムでは、バッテリー充電源として、+5Vと+5VPの両方の電が考えられる。これは、パワーダウンをを行う必要があるが、一方、省エネルギーを抑える必要もあり、そのために+5分な充電ができないため、パワーダウンときには、+5V電源からも十分な充電たものである。

【0018】上記記述は、請求項4に対する。なお、上記実施の形態は本発明の一であり、本発明はこれに限定されるべきとは言うまでもないことである。例えば、クシミリ装置に限らず、他の画像メモリ、広く適用可能であるという如くである。

【0019】

【発明の効果】以上、詳細に説明した如れば、単セルのバックアップ電池でのバ能とするバッテリーバックアップ電源回路放電を防止可能とするバッテリーバック路、および、パワーダウンモードを考慮バックアップ電源回路をそれぞれ実現でな効果を奏するものである。

【図面の簡単な説明】

【図1】本発明の一実施形態を示すバック路を示す図である。

【図2】一実施形態に係る回路での各信スを示す図である。

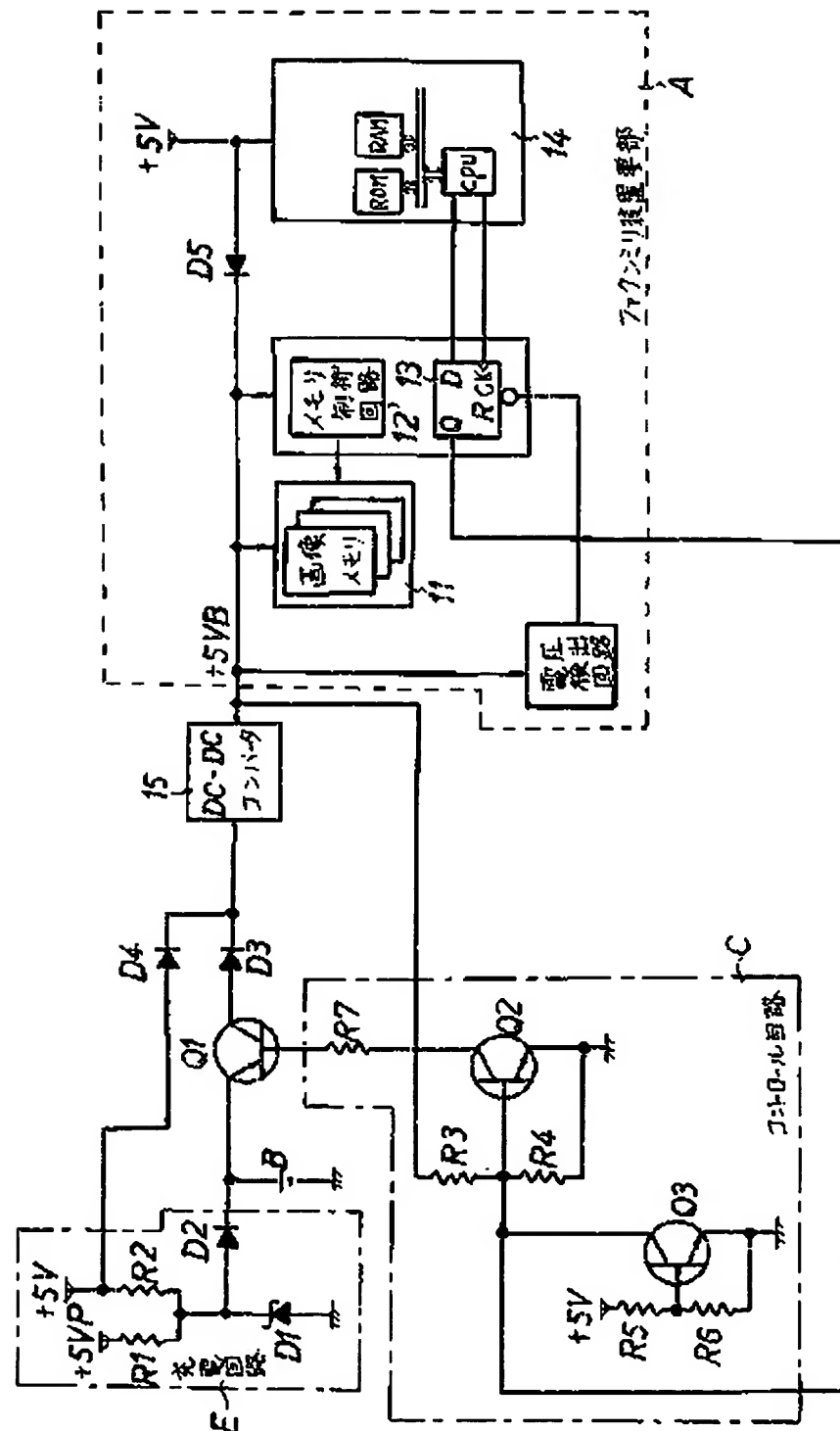
【図3】一実施形態に係る回路での各信スを示す図である。

【図4】電源立ち上がり時におけるダイ用の説明図である。

特開平9

(5)

【图 1】

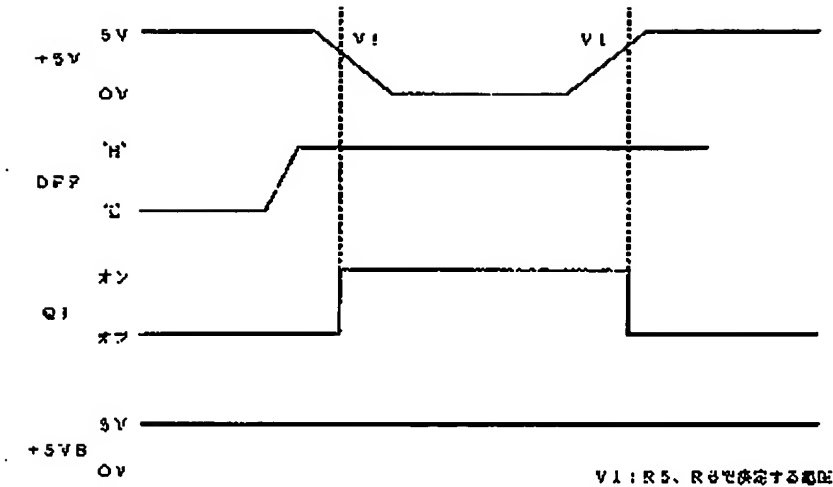




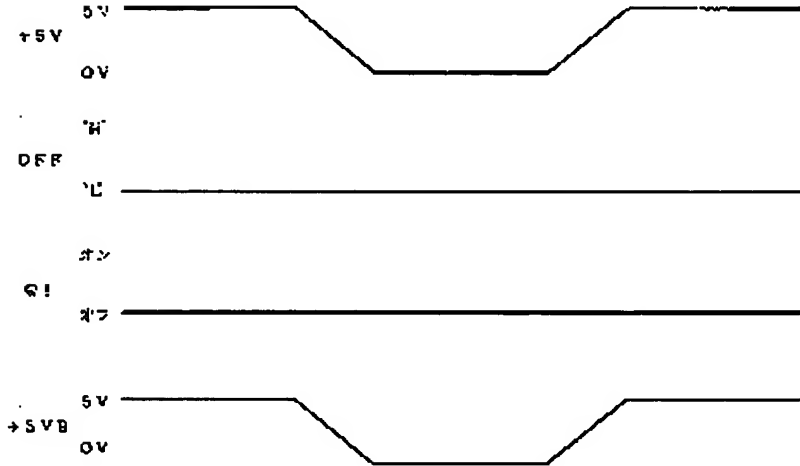
(6)

特開平9

【図2】



【図3】



【図4】

